

## ⑫ 公開特許公報(A)

平3-278645

⑤Int. Cl.<sup>5</sup>H 04 L 25/06  
H 03 K 5/00

識別記号

C

庁内整理番号

8226-5K  
7125-5J

⑬公開 平成3年(1991)12月10日

審査請求 未請求 請求項の数 1 (全5頁)

⑭発明の名称 直流補償回路

⑯特 願 平2-80128

⑰出 願 平2(1990)3月27日

⑱発 明 者 高 野 勇 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳代 理 人 弁理士 本庄 伸介

## 明 細 書

## 1. 発明の名称

直流補償回路

## 2. 特許請求の範囲

直流成分を遮断された2値入力信号のピーク値を検出するピーク値検出回路と、該ピーク値検出回路の出力信号を増幅する直流増幅器と、該直流増幅器の出力電圧を前記入力信号に加算して増幅する加算増幅器と、増幅率が可変であって前記加算増幅器の出力信号を設定される出力直流レベルまで増幅して出力する出力バッファ回路とから構成されることを特徴とする直流補償回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明はデジタル通信システムの受信装置において、伝送路等で直流成分を遮断された入力信号に対して直流成分を補償する直流補償回路に関

し、特にギガビット領域の超高速信号に対して用いられる直流補償回路に関する。

(従来の技術)

従来、デジタル通信システムの受信装置に用いられる直流補償回路としては、ダイオードとキャパシタを用いた直流クランプ回路を主信号路に入れるのが一般的である(参考文献:トランジスタ・パルス回路、産報出版)。第5図に従来の直流補償回路の構成を示す。第5図において、51はクランプ回路、52は入力バッファ、53は出力バッファである。

第5図に示した従来の直流補償回路では、ダイオードD2による直流クランプ動作の誤差を小さくするために、出力インピーダンスの小さい入力バッファ52と、入力インピーダンスの大きい出力バッファ53との間にクランプ回路51を挿入している。入力端子54に入力した直流成分を遮断されたデジタル信号は、直流成分を補償されて出力端子55から出力される。

(発明が解決しようとする課題)

この従来の直流補償回路をギガビット／秒以上の速度である超高速の信号に適用させるには、入力バッファ52の出力インピーダンスをより小さく、出力バッファ53の入力インピーダンスをより大きくする必要がある。しかしながら、このようなバッファの実現は非常に困難であるから、クランプ回路51のクランプ動作が完全に行われなくなると超高速の信号に対する直流補償が不完全になってしまう。また、バッファの周波数対利得特性を超広帯域にわたって平坦とすることが困難であるから、入力信号波形が歪を受け、これによって直流補償特性も理想値から外れる。さらに、入力バッファおよび出力バッファには通常バイポーラトランジスタによるエミッタフォロワ回路、またはガリウムヒ素電界効果トランジスタによるソースフォロワ回路が用いられるが、第5図に示すように、超高速においてこのような回路を二段連続に接続すると、きわめて発振しやすくなり、安定な動作が得にくくなってしまふ。従来の直流補償回路には以上のような欠点があった。

る。

第1図は、本発明の直流補償回路の一実施例の構成を示す図である。第1図において、1は入力端子、2はピーク値検出回路、3は直流増幅回路、5はソース接地増幅器、6は出力バッファ回路、7は出力直流レベル調整用端子、8は出力端子である。

いま、入力端子1に加わる入力信号として、直流成分の遮断を受けた2値NRZパルス列を考える。このパルス列のパルスは、100%占有率が確保されている矩形波であるとする。ある一定の時間内に入力端子1に到来する2値パルス（マークまたはスペース）の全数（N）に対するマークの数（n）の割合をマーク率（ $m = n / N$ ）と称するが、入力パルス列が直流成分の遮断を受けている場合、この入力パルス列の直流レベルはマーク率によって変動する。この入力パルス列の直流レベルの変動を第2図に示す。第2図に示す例で明らかのように、NRZパルスの振幅値を1とするとき、直流基準レベルからの変動量（正方向をP、

そこでで本発明の目的は、超高速の信号に対して正確な直流補償を行うことができる直流補償回路を提供することにある。

（課題を解決するための手段）

本発明の直流補償回路は、直流成分を遮断された2値入力信号のピーク値を検出するピーク値検出回路と、該ピーク値検出回路の出力信号を増幅する直流増幅器と、該直流増幅器の出力電圧を前記入力信号に加算して増幅する加算増幅器と、増幅率が可変であって前記加算増幅器の出力信号を設定される出力直流レベルまで増幅して出力する出力バッファ回路とから構成されることを特徴とする。

（作用）

本発明では、補償すべき直流電圧の大きさを検出してその電圧値を発生する回路を、主信号経路とは別に構成することにより、理想に近い直流補償信号を得る。

（実施例）

以下に、図面を参照して本発明を詳細に説明す

負方向を $p'$ とする）は、任意のマーク率Mに対し、

$$P = 1 - M, \quad p' = M$$

となる。

一方、直流レベル変動量P（または $p'$ ）は、直流基準レベルから測ったパルスのピーク値に等しい。従って、第1図に示したピーク値検出回路2によってパルスのピーク値（Pまたは $p'$ ）を検出し、その検出結果である出力電圧を直流増幅回路3で適切なレベルまで増幅して補償電圧とする。該補償電圧をバイアス印加抵抗器R1を介して、入力端子1およびキャパシタC1を介してソース接地増幅器5の電界効果トランジスタFET1のゲート端子に入力する主信号すなわち入力パルス列に加算することにより、主信号である入力パルス列に対して直流補償を行うことができる。この場合、ピーク値検出回路2が正のピーク値Pを検出するか、負のピーク値 $p'$ を検出するかによって、直流増幅回路3の入出力間の位相を正相とするか、逆相とするかを選択する必要がある。

ある。ソース接地増幅器5に入力する主信号は、この段階で主信号のマーク率がどのように変化しても直流レベルは常に一定であるように補償される。直流補償された主信号は、ソース接地増幅器5で増幅されて出力バッファを介して出力端子8から出力される。この出力バッファ回路6には出力直流レベル調整用端子7が備えてあり、該端子に印加する電圧 $V_{TH}$ を変化させることにより、出力信号の直流レベルを本直流補償回路の後段の識別回路の適切な識別レベルに合わせることができる。従って、本直流補償回路はその出力信号の出力レベルを任意の直流レベルに設定することができる。

第3図はピーク値検出回路2の回路構成の一例を示す図であり、このピーク値検出回路2は入力バッファ31と整流回路32とから構成される。この場合、入力バッファ31には広帯域性と低出力インピーダンス特性が要求されるが、主信号の経路にはならないから、その要求される特性のレベルは第5図に示す入力バッファ52に対するほ

ど厳しくはない。整流回路32はダイオードD1と保持用キャパシタC3とからなる。第3図は正のピーク値Pを検出する回路を示しているが、負の場合 $P'$ にはダイオードD1の接続極性を逆にすればよい。

第4図は直流増幅回路3の回路構成の一例を示す図であり、正のピーク値を検出する場合に用いる。演算増幅器41、42を直列に接続することにより、正相増幅が行われる。電圧入力端子45に印加される電圧 $V_{ref}$ は、バイアス印加抵抗R1に印加する直流電圧に適切なオフセット電圧を加えるための電源用電圧である。負のピーク値を検出する場合には、演算増幅器41を省略して入力端子46にピーク値検出回路2の出力信号を加えればよい。

(発明の効果)

以上に詳しく説明したように、本発明によれば、正または負のパルスピーク値を検出し、そのピーク値に応じた直流電圧を入力パルス列に加算することにより、直流成分の遮断を受けたNRZ入力

パルス列の直流レベル変動を無くすことができ、5ギガビット/秒以上の速度の超高速パルス信号に対しても容易に理想的な直流補償特性が得られる。また出力バッファにおいて出力直流レベルを直流補償特性とは無関係に外部から任意に設定することができるから、どのようなアイ開口を持つパルス列に対しても柔軟に対応することができる。

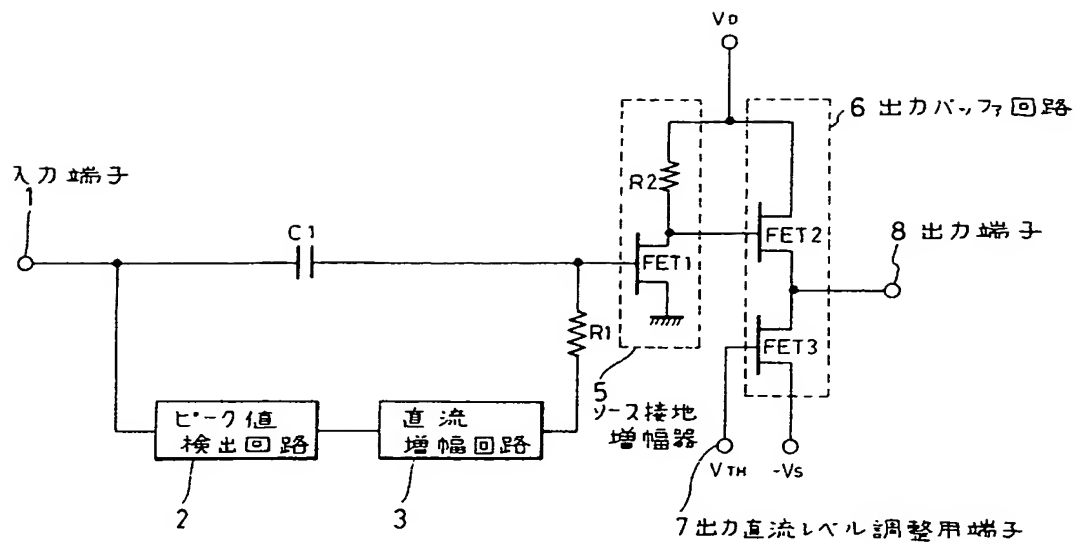
#### 4. 図面の簡単な説明

第1図は本発明の直流補償回路の一実施例の構成を示す図、第2図は直流成分の遮断を受けたパルス列の直流レベルの変動を示す図、第3図はピーク値検出回路2の回路構成の一例を示す図、第4図は直流増幅回路3の回路構成の一例を示す図、第5図は従来の直流補償回路を示す図である。

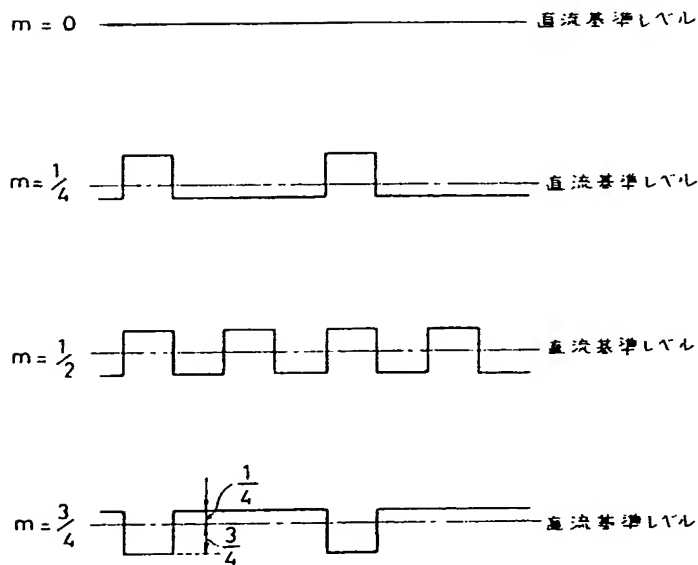
1, 33, 43, 46, 54…入力端子、2…ピーク値検出回路、3…直流増幅回路、5…ソース接地増幅回路、6…出力バッファ回路、7…出力直流レベル調整用端子、8, 34, 44, 55…出力端子、31, 52…入力バッファ、32…

整流回路、41, 42…演算増幅器、45…電圧入力端子、51…クランプ回路、53…出力バッファ、R1…バイアス印加用抵抗器、R2, R3, R4, R5, R6, R7, R8, R9…抵抗器、C1, C2, C3, C4…キャパシタ、D1, D2…ダイオード、FET1, FET2, FET3, FET4, FET5…電界効果トランジスタ、Tr1, Tr2…トランジスタ。

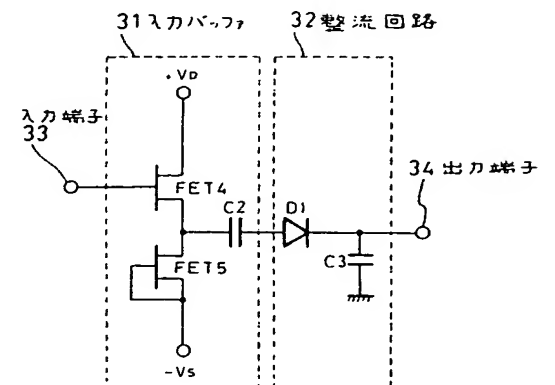
代理人 弁理士 本庄伸介



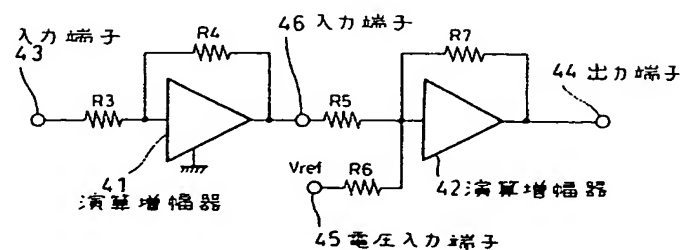
第 1 図



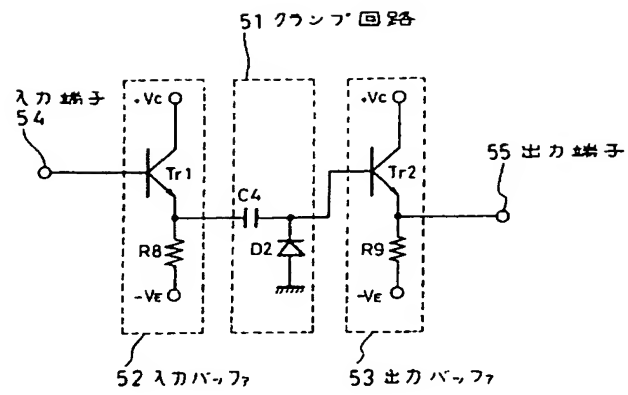
第 2 図



第 3 図



第 4 図



第 5 図